



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 41 34 034 A 1**

⑤1 Int. Cl.⁵:
G 06 F 9/22
G 06 F 1/24
B 60 R 25/00
G 06 F 1/32

⑳ Aktenzeichen: P 41 34 034.5
㉔ Anmeldetag: 15. 10. 91
㉕ Offenlegungstag: 16. 7. 92

DE 41 34 034 A 1

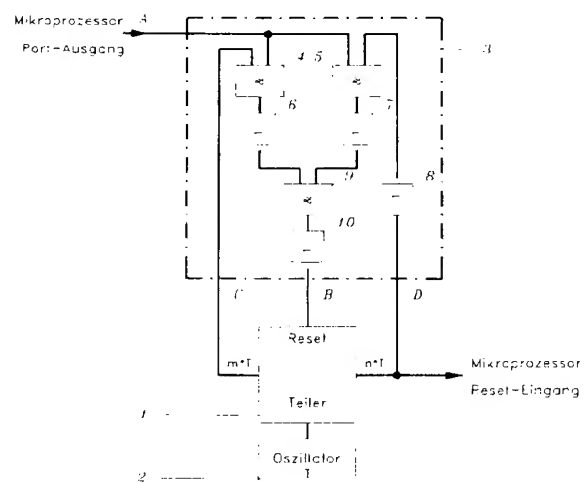
⑤④ Innere Priorität: ③② ③③ ③①
11.01.91 DE 41 00 660.7

⑦① Anmelder:
TELEFUNKEN SYSTEMTECHNIK GMBH, 7900 Ulm,
DE

⑦② Erfinder:
Scherf, Lutz, Dipl.-Ing., 2200 Klein Nordende, DE;
Grave, Hans-Heinrich, Dipl.-Ing., 2000 Wedel, DE;
Pauer, Jens, Dipl.-Ing., 2000 Hamburg, DE; Köhler,
Rainer, Dipl.-Ing., 2082 Tornesch, DE; Schulze,
Jürgen, Dipl.-Ing., 2000 Wedel, DE; Ullitzka, Manfred,
Dipl.-Ing., 2104 Hamburg, DE

⑤④ Elektronische Schaltungsanordnung zur elektrischen Versorgung und Abarbeitung eines Programms einer KFZ-Diebstahl-Warnanlage

⑤⑦ Elektronische Schaltungsanordnung unter Verwendung eines Mikroprozessors zur elektrischen Versorgung und Abarbeitung eines Programms zwecks Abfrage der Sensoren und Auswertung der Sensorsignale einer KFZ-Diebstahl-Warnanlage zur Abgabe eines Alarmsignals. Der diskontinuierlich arbeitende Mikroprozessor wird wechselweise im Sparbetrieb (Power-Down-Modus) und Normalbetrieb derart betrieben, daß der für eine vorgegebene Zeitdauer im Sparbetrieb arbeitende Mikroprozessor nach seiner Umschaltung in den Normalbetrieb mit der Abarbeitung seines Programms an einer in einem Speicher (RAM) zum Zeitpunkt des Umschaltens von Normal- auf Sparbetrieb abgelegten Startadresse fortfährt.



DE 41 34 034 A 1

Die Erfindung betrifft eine elektronische Schaltungsanordnung unter Verwendung eines Mikroprozessors zur elektrischen Versorgung und Abarbeitung eines Programms zwecks Abfrage der Sensoren und Auswertung der Sensorsignale einer vorzugsweise einen Innenraumsensor, einen Lagesensor, Türkontakte und/oder dergleichen aufweisenden KFZ-Diebstahl-Warnanlage zur Abgabe eines Alarmsignales.

Es ist bekannt, einen diskontinuierlich arbeitenden Mikroprozessor mittels eines Umschaltbefehles aus dem Normalbetrieb in den Sparbetrieb (Power-Down-Modus) zu schalten und ihn mittels eines an seinem Reseteingang anstehenden Rückstellsignals wieder in den Normalbetrieb zu versetzen. Alternativ kann der Sparbetrieb auch durch ein Unterbrechungssignal (Interruptsignal) verlassen werden.

Der Erfindung liegt daher die Aufgabe zugrunde, eine elektronische Schaltungsanordnung der eingangs genannten Art zu schaffen, die in einer Alarmanlage verwendet werden kann, ohne daß deren Störsicherheit negativ beeinflußt wird.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß der diskontinuierlich arbeitende Mikroprozessor wechselweise im Sparbetrieb (Power-Down-Modus) und Normalbetrieb derart betrieben wird, daß der aus Gründen der Stromersparnis für eine vorgegebene Zeitdauer im Sparbetrieb arbeitende Mikroprozessor nach seiner Umschaltung in den Normalbetrieb mit der Abarbeitung seines Programms an einer in einem Speicher (RAM) zum Zeitpunkt des Umschaltens von Normal- auf Sparbetrieb abgelegten Startadresse fortfährt, und daß nach Abarbeitung des Programms eine Umschaltung des Mikroprozessors in den Sparbetrieb bei gleichzeitiger Ablage der Startadresse in dem Speicher (RAM) erfolgt.

Ein Vorteil der Erfindung liegt darin, daß ein im Sparbetrieb (Power-Down-Modus) befindlicher Mikroprozessor nach einer frei wählbaren Zeit automatisch ein Reset-Signal erhält und sein Programm an einer frei definierten Stelle fortsetzt. Bei einer ausgeführten Anwendung beträgt z. B. die Power-Down-Betriebszeit 24 ms und die Normalbetriebszeit 1 ms. Der Stromverbrauch sinkt also auf ungefähr 1/25 verglichen mit dem Dauerbetrieb, d. h. unter Vernachlässigung des Stromverbrauchs im Power-Down-Modus sinkt der Stromverbrauch der Schaltung im Verhältnis der Normal-Betriebszeit zur Summe aus Normal-Betriebszeit plus Power-Down-Betriebszeit.

Ausgestaltungen der Erfindung sind in den Unteransprüchen 2 bis 6 beschrieben.

In der Zeichnung ist ein Ausführungsbeispiel nach der Erfindung dargestellt, und zwar zeigt

Fig. 1 ein Blockschaltbild eines Pulsgebers, und

Fig. 2 ein Diagramm der an den Ein- und Ausgängen des Pulsgebers aus Fig. 1 anstehenden Impulse.

In Fig. 1 besteht der Pulsgeber aus einem von einem Oszillator 2 mit Rechteckimpulsen, beispielsweise der Pulsdauer T mit einem symmetrischen Taktverhältnis angesteuerten Teilerbaustein 1 und einer Schaltlogik 3. Die Schaltlogik 3 enthält zwei aus jeweils einem Und-Gatter 4 und 5 und einem Nicht-Gatter 6 und 7 bestehende Eingangszweige, wobei die Ausgänge der Nicht-Gatter 6 und 7 an die Eingänge eines weiteren Und-Gatters 9 angeschlossen sind. Der Ausgang des Und-Gatters 9 ist über ein Nicht-Gatter 10 an den Reseteingang B des Teilerbausteines 1 angeschlossen, während der

das Signal m·T bereitstellende Ausgang C des Teilerbausteines 1 direkt an einen Eingang des Und-Gatters 4 und der das Signal n·T liefernde Ausgang D des Teilerbausteines 1 über ein Nicht-Gatter 8 an einen Eingang des Und-Gatters 5 geführt sind. Hierbei können m und n durch eine Potenz der Zahl 2 bestimmt sein, wobei $m < n$ ist, was auch aus Fig. 2 zu ersehen ist. An den beiden anderen Eingängen der Und-Gatter 4 und 5 steht das Freigabesignal (Low-Signal) des zeichnerisch nicht dargestellten diskontinuierlich arbeitenden Mikroprozessors an, der sein durch den Ausgang C des Teilerbausteines bestimmtes Resetsignal m·T von dem Teilerbaustein 1 über dessen Ausgang D erhält (vgl. Fig. 2, Signal D).

Der Mikroprozessor ist Bestandteil einer KFZ-Diebstahl-Warnanlage, die beispielsweise einen Innenraumsensor, einen Lagesensor, Türkontakte und/oder dergleichen aufweist. Diese Sensoren werden nach einem von dem Mikroprozessor gesteuerten Programm zwecks Bereitstellung von Sensorsignalen abgefragt, deren Informationsinhalte zur Abgabe eines Alarmsignales ausgewertet werden. Aus Gründen der Stromersparnis arbeitet der Mikroprozessor für eine vorgegebene Zeit, z. B. für 24 ms im Sparbetrieb (Power-Down-Modus), d. h. während dieser Zeit erfolgt keine Abfrage und Auswertung der Sensorsignale. Nach seiner Umschaltung in den Normalbetrieb für beispielsweise eine Zeitdauer von 1 ms, in der das obengenannte Programm abläuft, wird mit der Abarbeitung des Programmes an einer in einem Speicher gespeicherten Startadresse fortgefahren, die nach Abarbeitung des Programms zum Zeitpunkt des Umschaltens von Normal- auf Sparbetrieb dort abgelegt worden ist. Die Umschaltung des Mikroprozessors erfolgt mit Hilfe des in Fig. 1 dargestellten Pulsgebers, der an seinem Eingang A ein Freigabesignal (Low-Signal) von dem Mikroprozessor bei seiner Umschaltung von dem Normal- in den Sparbetrieb erhält und mit seinem Ausgang D zur Umschaltung des Mikroprozessors aus dem Spar- in den Normalbetrieb ein Reset-Signal an den Mikroprozessor zur Abarbeitung des Programms liefert.

Das Pulsdiagramm gemäß Fig. 2 zeigt die an den Ein- und Ausgängen A bis D des Pulsgebers anstehenden Signale für den Spar- und Normalbetrieb des Mikroprozessors. Das am Ausgang D anstehende, dem Reseteingang des Mikroprozessors zugeführte Signal weist ein Low-Signal von der Zeitdauer n·T, in der der Mikroprozessor im Sparbetrieb für beispielsweise 24 ms arbeitet, und ein High-Signal von der Zeitdauer m·T (Resetsignal) auf, das durch den m·T-Ausgang des Teilerbausteines 1 vorgegeben ist und aufgrund dessen die elektronische Schaltungsanordnung ihr Programm mittels des Mikroprozessors durchführt. Unter Bezugnahme auf die Fig. 1 und 2 ergibt sich der Ablauf eines Arbeitszyklusses wie folgt:

1. Adresse in RAM ablegen, an welcher der Mikroprozessor fortfahren soll.
2. An einem Ausgang (Port) des Mikroprozessors den Ausgangspegel von höherem Potential (High) nach niedrigerem Potential (Low) schalten (negative Flanke erzeugen).
3. Mikroprozessor in den Sparbetrieb (Power-Down-Modus) versetzen.
4. Der Teilerbaustein 1 wird mit einem Rechtecksignal aus dem Oszillator 2, (Pulsgeber T, symmetrisches Taktverhältnis) getaktet und durch o. a. "Low" freigegeben.

5. Der Teilerbaustein liefert an seinen Ausgängen Rechtecksignale der Pulsdauer $x \cdot T$, wobei x vorzugsweise eine Potenz von 2 ist. Der Teilerbaustein liefert die Pulsdauer $m \cdot T$ am Ausgang C und $n \cdot T$ am Ausgang D, wobei $n > m$ ist.

6. Nach Ablauf der Zeit $n \cdot T$ wechselt der entsprechende, mit dem Reseteingang des Mikroprozessors verbundene Ausgang des Teilerbausteins (D) seinen Pegel von "Low" nach "High" und leitet dadurch den Resetvorgang ein.

7. Aus den folgenden drei Eingangssignalen, nämlich erstens dem Puls der Dauer $m \cdot T$, zweitens dem Puls der Dauer $n \cdot T$ und drittens dem inzwischen wieder "High" gewordenen Portausgang des Mikroprozessors, formt die Schaltlogik 3, vorzugsweise aus drei Und-Gattern und vier Nicht-Gattern aufgebaut, ein Reset-Signal (B) für den Teilerbaustein 1.

8. Durch das Rücksetzen des Teilerbausteins 1 bricht auch das Reset-Signal für den Mikroprozessor (D) nach der Zeit $m \cdot T$ ab.

9. Der Mikroprozessor schaltet dann von dem Spar- in den Normalbetrieb um, lädt die gespeicherte Startadresse, an der das Programm fortgesetzt wird, aus dem Speicher (RAM) und führt den Ablauf des Programms durch.

Die Arbeitsschritte 1, 2, 3 und 9 werden durch die Software des Mikroprozessors durchgeführt, während die anderen Schritte durch den Pulsgeber gemäß Fig. 1 ausgeführt werden.

Voraussetzung für diese Betriebsweise des Mikroprozessors ist ein schnell anschwingender Oszillator des Mikroprozessors, vorzugsweise mit einem Keramikschwinger aufgebaut.

Patentansprüche

1. Elektronische Schaltungsanordnung unter Verwendung eines Mikroprozessors zur elektrischen Versorgung und Abarbeitung eines Programms zwecks Abfrage der Sensoren und Auswertung der Sensorsignale einer vorzugsweise einen Innenraumsensor, einen Lagesensor, Türkontakte und/oder dergleichen aufweisenden KZF-Diebstahl-Warnanlage zur Abgabe eines Alarmsignales, dadurch gekennzeichnet, daß der diskontinuierlich arbeitende Mikroprozessor wechselweise im Sparbetrieb (Power-Down-Modus) und Normalbetrieb derart betrieben wird, daß der aus Gründen der Stromersparnis für eine vorgegebene Zeitdauer im Sparbetrieb arbeitende Mikroprozessor nach seiner Umschaltung in den Normalbetrieb mit der Abarbeitung seines Programms an einer in einem Speicher (RAM) zum Zeitpunkt des Umschaltens von Normal- auf Sparbetrieb abgelegten Startadresse fortfährt, und daß nach Abarbeitung des Programms eine Umschaltung des Mikroprozessors in den Sparbetrieb bei gleichzeitiger Ablage der Startadresse in dem Speicher (RAM) erfolgt.

2. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch einen Pulsgeber, der von dem Mikroprozessor bei seiner Umschaltung aus dem Normal- in den Sparbetrieb ein Freigabesignal erhält und der zur Umschaltung des Mikroprozessors aus dem Spar- in den Normalbetrieb ein Reset-Signal an den Mikroprozessor zur Abarbeitung des Programms liefert.

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Pulsgeber eine Schaltlogik (3), die von dem Mikroprozessor bei dessen Umschaltung von dem Normalbetrieb in den Sparbetrieb ein Freigabesignal (Low-Signal) an seinem ersten Eingang (A) erhält, und einen von einem Oszillator (2) mit Rechteckimpulsen angesteuerten Teilerbaustein (1), der an einem seiner Ausgänge (D) das Reset-Signal für den Mikroprozessor bereitstellt, aufweist, daß bei einer Umschaltung in den Sparbetrieb die Startadresse im Speicher abgelegt und ein Freigabesignal (Low-Signal) an den Eingängen der Schaltlogik (3) ansteht, daß durch das Freigabesignal (Low-Signal) der Teilerbaustein (1) über seinen mit dem Ausgang (B) der Schaltlogik (3) verbundenen Reseteingang freigegeben wird zur Erzeugung von an einem zweiten und dritten Eingang der Schaltlogik (3) anstehenden Rechtecksignalen von einer Impulsdauer $m \cdot T$ bzw. $n \cdot T$, wobei $m < n$ ist, daß nach Ablauf der Zeit $n \cdot T$ das am Reseteingang des Mikroprozessors anstehende Ausgangssignal des Teilerbausteins (1) seinen Pegel von "Low" nach "High" wechselt und dadurch den Resetvorgang des Mikroprozessors einleitet, daß die Schaltlogik (3) aus ihren drei Eingangssignalen $m \cdot T$, $n \cdot T$ und dem zwischenzeitlich von "Low" auf "High" gewechselten Freigabesignal ein Resetsignal (B) für den Teilerbaustein (1) bildet und daß durch das Rücksetzen des Teilerbausteins (1) das Resetsignal (D) für den Mikroprozessor nach der Zeit $m \cdot T$ abbricht und somit die Umschaltung des Mikroprozessors von dem Sparbetrieb in den Normalbetrieb, der Abruf der gespeicherten Startadresse und der Ablauf des Programms durchgeführt wird.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Oszillator (2) Rechtecksignale der Pulsdauer T mit einem symmetrischen Taktverhältnis an den Teilerbaustein (1) liefert.

5. Schaltungsanordnung nach Anspruch 3, gekennzeichnet durch Rechtecksignale der Impulsdauer $m \cdot T$ und $n \cdot T$, die für m und n durch eine Potenz der Zahl 2 bestimmt sind.

6. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß die Schaltlogik (3) zwei aus jeweils einem Und-Gatter (4 bzw. 5) und einem Nicht-Gatter (6 bzw. 7) bestehende Eingangszweige aufweist, daß an jeweils einem Eingang der Und-Gatter (4 bzw. 5) das Freigabesignal (Low-Signal) des Mikroprozessors ansteht, daß an den zweiten Eingängen der Und-Gatter (4 bzw. 5) das vom Teilerbaustein (1) bereitgestellt Rechtecksignal $m \cdot T$ oder über ein Nicht-Gatter (8) das Rechtecksignal $n \cdot T$ anliegt, und daß die Ausgänge der Nicht-Gatter (6 bzw. 7) der Eingangszweige an die Eingänge eines weiteren Und-Gatters (9) angeschlossen sind, dessen Ausgang über ein Nicht-Gatter (10) an den Reseteingang des Teilerbausteins (1) angeschlossen ist.

Hierzu 2 Seite(n) Zeichnungen

— Leerseite —

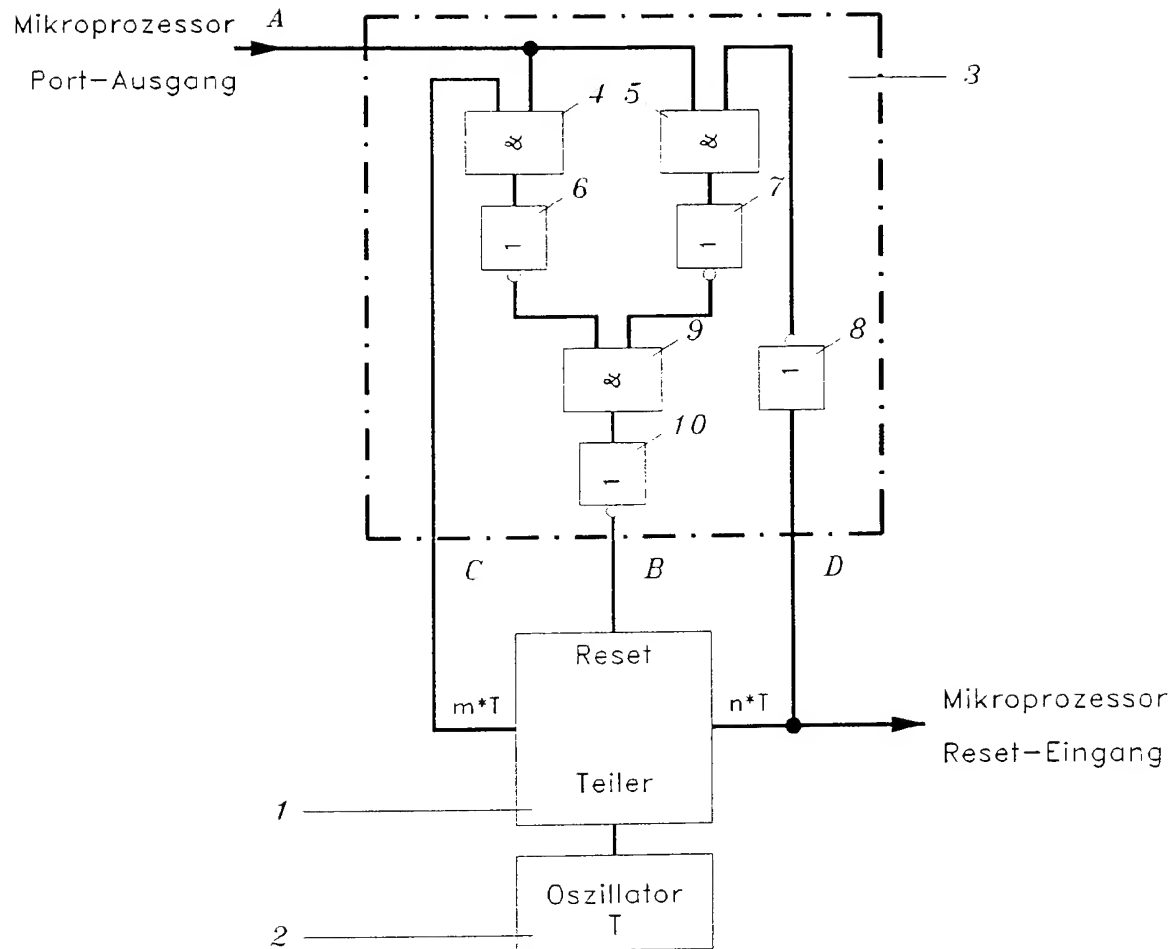


Fig. 1

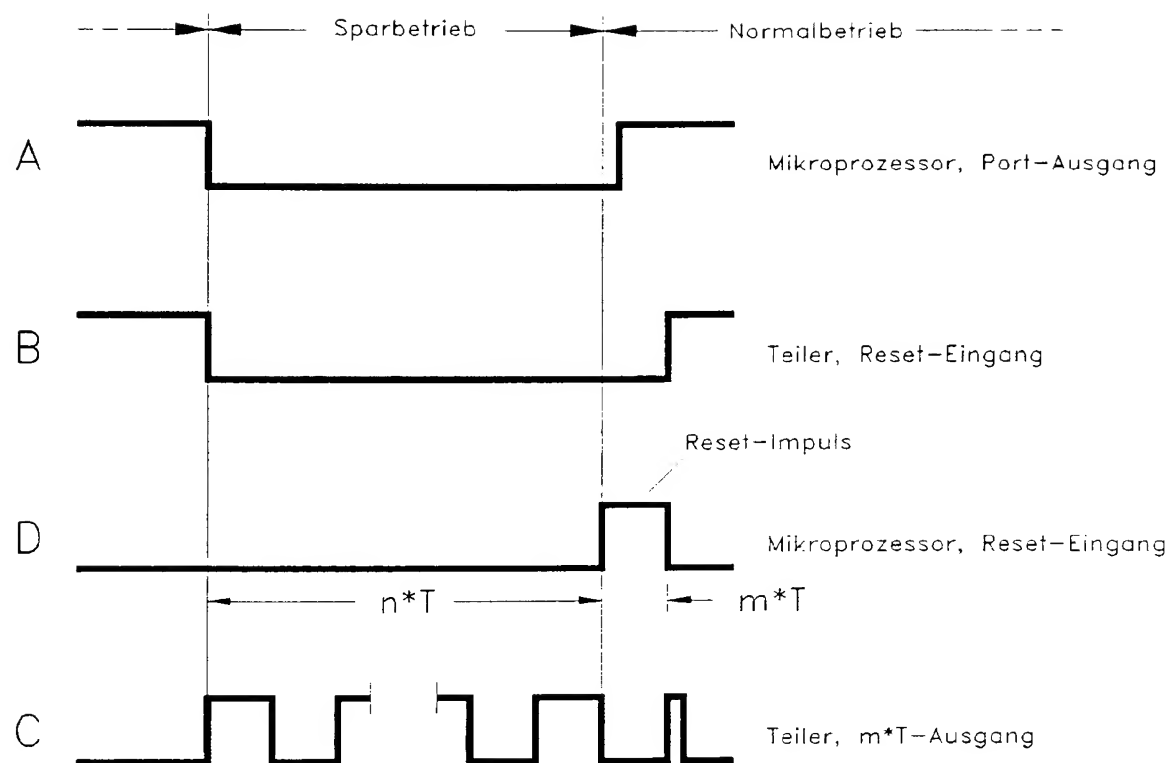


Fig. 2